

JAPANESE PATENT OFFICE

(43) Date of publication of application: 09.12.86

(21) Application number: **60121015**
(22) Date of filing: **04.06.85**

(71) Applicant: **NEC CORP**

(72) Inventor: **YAMAMOURI MASAHICO**

(57) Abstract:

CONSTITUTION: When pre-fetching of an instruction begins, an address shown by an instruction counter 1 is transmitted to a backup control part, and simultaneously the branch history table 2 is retrieved on the basis of the output of the counter 1. According to the retrieval result, a branch destination instruction address and the mode information corresponding to the instruction address are stored in a branch destination instruction address register 4 and a mode register 5. Since the branch instruction is detected, the address for fetching a following instruction is transmitted to a buffer control part from the register 4. At this time, since the mode information for processing the branch instruction is stored in the register 5, it is unnecessary that the securing of the mode information is waited.

COPYRIGHT: (C)1986,JPO&Japio

JP-A-61-278935

2. What is claimed is:

5 A process mode change system, for use with the data processing apparatus, having a branch history table storing a set of an address of a branch instruction and a branch target instruction address of the branch instruction, and prefetching an instruction, comprising:

10 a mode information storage unit storing mode information for control of prefetch of an instruction;

a detection unit detecting the address of the branch instruction stored in the branch history table according to the address of the prefetched instruction;

15 a unit preliminarily storing mode information for control of prefetch of the instruction corresponding to the branch target instruction address; and

20 a setting unit setting the mode information corresponding to the branch target instruction address stored with the address of the detected branch instruction in response to the detection of the address of the branch instruction corresponding to the prefetched instruction address from the branch history table in the mode information storage unit.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-278935

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)12月9日

G 06 F 9/38
9/32B-7361-5B
A-7361-5B

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 処理モード変更方式

⑯ 特 願 昭60-121015

⑰ 出 願 昭60(1985)6月4日

⑱ 発 明 者 山 毛 利 雅 彦 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

処理モード変更方式

2. 特許請求の範囲

分岐命令のアドレスとこの分岐命令の分岐先命令アドレスとを対にして記憶する分岐ヒストリテーブルを有し命令の先取りを行うデータ処理装置の処理モード変更方式において、

命令の先取りを制御するモード切替を格納するモード切替格納手段と、

先取りされた命令のアドレスにより前記分岐ヒストリテーブルに記憶された前記分岐命令のアドレスを検索する検索手段と、

前記分岐先命令アドレスに対応して前記命令の先取りを制御するモード切替を前記分岐ヒストリテーブルに予め格納する手段と、

前記先取りされた命令のアドレスに対応する前記分岐命令のアドレスの検出にตอบสนองしてこの検出された分岐命令のアドレスと対をなす前記分岐先命令アドレスに対応する前記モード切替を前記分

岐ヒストリテーブルから前記モード切替格納手段に設定する設定手段と、

を有することを特徴とする処理モード変更方式。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、データ処理装置における処理モード変更方式、特に分岐命令の実行に伴って処理モードを変更する方式に関する。

(従来の技術)

一般に、データ処理装置には、各種処理モードが定められており、これら処理モードのうち、システム管理上ユーザプログラムから直接変更されては困るものは、オペレーティングシステム(OS)に処理モードの変更を依頼するようになっている。このOSによる処理モードの変更のためには、数十〜数百ステップのソフトウェア命令を実行する必要がある、モード変更の際のオーバーヘッドとなっていた。

このような従来の不具合を解消するために、例えば、特公昭57-16429号公報に示されるように、

処理モード情報をアドレス変換テーブルに図えることによりモード変更の際のオーバーヘッドを削減するものがすでに提案されている。

(発明が解決しようとする問題点)

しかし、命令の先取りを行うデータ処理装置では、一様に処理の高速化のためにパイプライン処理が採用されており、命令の先取りの制御とアドレス変換の制御とでは一般に異なるパイプラインステージで処理されることが多い。このため、命令の先取り制御部が変更後のモード情報を知るためには、第2図に点線で図示するようにアドレス変換の終了を待つ必要があった。

また、分岐命令処理の高速化のために分岐ヒストリテーブルにより分岐先命令アドレスを予測することが知られているが、分岐先命令アドレスを予測しても前述のごとくアドレス変換の終了までモード情報が確定しないため、分岐命令処理にオーバーヘッドを生じるという欠点がある。

(問題点を解決するための手段)

本発明の処理モード変更方式は、分岐命令のア

ドレスとこの分岐命令の分岐先命令アドレスとを対にして記憶する分岐ヒストリテーブルを有し命令の先取りを行うデータ処理装置の処理モード変更方式において、命令の先取りを制御するモード情報を格納するモード情報格納手段と、先取りされた命令のアドレスにより前記分岐ヒストリテーブルに記憶された前記分岐命令のアドレスを検索する検索手段と、前記分岐先命令アドレスに対応して前記命令の先取りを制御するモード情報を前記分岐ヒストリテーブルに予め格納する手段と、前記先取りされた命令のアドレスに対応する前記分岐命令のアドレスの検出に回答してこの検出された分岐命令のアドレスと対をなす前記分岐先命令アドレスに対応する前記モード情報を前記分岐ヒストリテーブルから前記モード情報格納手段に設定する設定手段とを有している。

(実施例)

次に、本発明について図面を参照して詳細に説明する。

第1図は、本発明の一実施例を示すブロック図

である。命令カウンタ1は、選択器20および信号線401を介してアドレス変換部を行うバッファ制御部(図示せず)に接続され、信号線101を介して分岐ヒストリテーブル2および比較器3にそれぞれ接続されている。分岐ヒストリテーブル2は、第3図に示すように、命令アドレスを格納する命令アドレス部2aと、分岐先命令アドレスを格納する分岐先命令アドレス部2bと、モード情報を格納するモード情報部2cとからなり、命令アドレス部2aは比較器3に接続されている。また、分岐先命令アドレス部2bは、信号線201を介して分岐先命令アドレスレジスタ4に接続されている。さらに、モード情報部2cは、信号線202および選択器10を介してモードレジスタ5に接続されている。上記分岐先命令アドレスレジスタ4およびモードレジスタ5は、比較器3の出力によって制御され、分岐先命令アドレスレジスタ4の出力は信号線203、選択器20および信号線401を介してバッファ制御部に接続されている。

次に、このように構成された本実施例の処理モ

ード変更方式の動作について説明する。

まず、命令の先取りが始まると、命令カウンタ1で示されるアドレスが、選択器20および信号線401を介してバッファ制御部に送出される。また、これと同時に、命令カウンタ1の出力は、信号線101を介して分岐ヒストリテーブル2を検索し、これから取り出される命令のアドレスが分岐ヒストリテーブル2の命令アドレス部2aに記憶されているかどうかを検索される。比較器3により記憶されていることが検出されると、これから取り出される命令が分岐命令であることを意味するので、制御線301を介して分岐先命令アドレスレジスタ4およびモードレジスタ5に分岐先命令アドレスおよびモード情報のセット信号が送出される。これにより、分岐ヒストリテーブル2の分岐先命令アドレス部2bから検出された命令アドレスに対応する分岐先命令アドレスが信号線201を過して分岐先命令アドレスレジスタ4に格納される。また、分岐ヒストリテーブル2のモード情報部2cから分岐先命令アドレスレジスタ4に格納された分岐先

命令アドレスに対応するモード情報、信号線202および選択器10を介してモードレジスタ5に格納される。

分岐命令が検出されたので、分岐命令の取出しのためのアドレスは分岐先命令アドレスレジスタ4より信号線203、選択器20および信号線401を介してバッファ制御部に送出される。この際、モードレジスタ5には分岐命令を処理するためのモード情報が格納されているので、第2図に矢印で示すように、アドレス変換が終了するまでモード情報の固定を待つ必要はない。

(発明の効果)

以上説明したように、本発明は、分岐ヒストリテーブル中に分岐先命令類型(命令取出しを含む)のための処理モード情報を含ませることによりモード情報の固定待ちをなくし、分岐命令処理を高速化するという効果がある。

4. 図面の簡単な説明

第1図は、本発明の一実施例を示すブロック図、

第2図は、モード情報の固定時期を示す処理シ

ークエンス図、

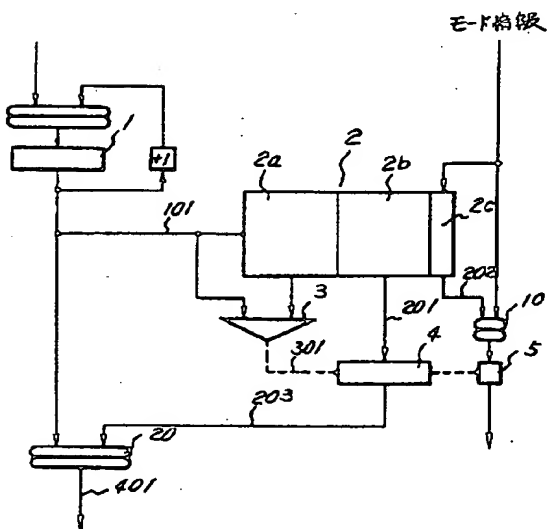
第3図は、分岐ヒストリテーブルの構成を示す図である。

図において、

- 1.....命令カウンタ、
- 2.....分岐ヒストリテーブル、
- 2a.....命令アドレス部、
- 2b.....分岐先命令アドレス部、
- 2c.....モード情報部、
- 3.....比較器、
- 4.....分岐先命令アドレスレジスタ、
- 5.....モードレジスタ、
- 10、20.....選択器である。

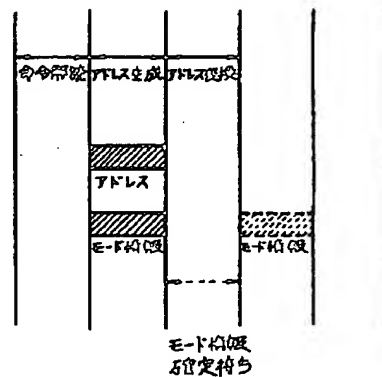
代理人 弁理士 内 原

第 1 図



- 1.....命令カウンタ
- 2.....分岐ヒストリテーブル
- 3.....比較器
- 4.....分岐先命令アドレスレジスタ
- 5.....モードレジスタ

第 2 図



第 3 図

分岐ヒストリテーブル 2

